

PAT-NO: JP403184476A  
DOCUMENT-IDENTIFIER: JP 03184476 A  
TITLE: DATA PROCESSOR  
PUBN-DATE: August 12, 1991

INVENTOR-INFORMATION:  
NAME  
OUCHI, YASUSHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP01323352  
APPL-DATE: December 13, 1989

INT-CL (IPC): H04N001/419

ABSTRACT:

PURPOSE: To improve data processing speed by providing a first address designating means to designate the first address of a register corresponding to information concerning the length of input data and a second address designating means to designate the second address of the register corresponding to the information concerning the length of the input data and the first address.

CONSTITUTION: A write start pointer 6 is equipped with

an adder in the internal part and according to an instruction from a bus master, a clear signal is outputted to a signal line 12. When picture data are received from the bus master, a start pointer is outputted to a signal line 13. A write end pointer 7 is equipped with an adder in the internal part and an end pointer, which is calculated by the adder, is outputted to a signal line 14. Based on the picture data from the bus master, a binary signal is outputted to a signal line 15. According to the instruction of the bus master, a selector 8 designates registers 3 and 4 in this order and successively outputs the data written into the registers 3 and 4 to the bus master. Thus, to the registers which can execute write to plural bits simultaneously, write is simultaneously executed for each 0 or 1 bit train.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A) 平3-184476

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月12日

H 04 N 1/419

8220-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 データ処理装置

⑯ 特 願 平1-323352

⑰ 出 願 平1(1989)12月13日

⑱ 発 明 者 大 内 康 史 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗野 重孝 外1名

## 明 細 書

## 1. 発明の名称

データ処理装置

## 2. 特許請求の範囲

0又は1のビット列の組み合わせからなるデータがそのビット列ごとにその値とその長さの情報を有する形に変換された入力データを、変換される前の0又は1のビット列の組み合わせからなるデータに再変換する装置であって、

複数のビットに同時に書き込みを行うことができるレジスタと、

前記入力データの長さの情報に応じて前記レジスタの第1アドレスを指定する第1アドレス指定手段と、

前記入力データの長さの情報と前記第1アドレスに応じて前記レジスタの第2アドレスを指定する第2アドレス指定手段と、

前記第1アドレスと前記第2アドレスによって前記レジスタの領域を指定し、その領域を書き込み可能な状態にする手段と、

前記入力データの値の情報に応じて前記領域に同時に書き込みを行う書き込み手段と

を有することを特徴とするデータ処理装置。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、ワークステーション、DTP、パーソナルコンピュータ等のフォントデータ、イメージデータや、通信用データ等を処理するデータ処理装置に関するものである。

## 従来の技術

近年、ワークステーション、DTP、パーソナルコンピュータ等において、またデータ通信等において、扱われるデータは、益々大きくなり、処理速度向上が要求されている。それに応えるために、高速のマイクロプロセッサや独自の高速化ハードウェアを用いて、一層の高速化を図っている。

以下、従来のデータ処理装置について説明する。

第4図は、従来のデータ処理装置の一例を示す

ものであり、ここで扱われるデータは、0又は1のビット列ごとに、16ビットのデータで第5図に示すように上位1ビットで0か1かの値を、下位15ビットでそのビット列の長さを表した形をしている。例えば、第6図に示すようなデータは、16進数で8005H、0006H、8007Hという3つの情報で表されている。

第4図において、21はバスマスタ、22は16ビットのシフトレジスタである。23はバスマスタ21からデータが前記ビット列ごとに書き込まれるライトデータカウンタで、前記ビット列に関する2値信号を信号線27に出力し、内部カウンタによってシフトレジスタ22がビットシフトした回数をカウントしてその回数が前記ビット列の長さの値に達するとカウントイネーブル信号を信号線28に出力する。24はデータイネーブル発生回路で、内部カウンタを持ち、その内部カウンタによってシフトレジスタ22がビットシフトした回数をカウントし、その回数が16になるとデータイネーブル信号を信号線29に、カウント

ウントを行うと、カウントイネーブル信号によって、シフトレジスタ22とデータイネーブル発生回路24の動作が止まり、バスマスタ21がライトデータカウンタ23に新たなデータ0006Hを書き込むと同時に、その内部カウンタのカウント回数を0に初期化する。同様にして、8005Hに続いて0006Hがシフトレジスタ22に書き込まれた後、8007Hがシフトレジスタ22に5ビット分書き込まれたとき、データイネーブル発生回路24がその内部カウンタが16回カウントしたことによりデータイネーブル信号とカウントストップ信号を出力する。シフトレジスタ22とライトデータカウンタ23はカウントストップ信号により動作を止め、バスマスタ21はデータイネーブル信号によりデータバス26を通してシフトレジスタ22に書き込まれた16ビットのデータを読みだし、再びシフトレジスタ22、ライトデータカウンタ23及びデータイネーブル発生回路24は動作を始める。

以上の動作を繰り返すことによって、0又は1

ストップ信号を信号線30に出力する。25は信号線31に一定周期のクロックを送るクロック発生回路である。26はデータバスでバスマスタ21とシフトレジスタ22およびライトデータカウンタ23との間のデータのやり取りに使われる。

以上のように構成された従来のデータ処理装置について、以下その動作を説明する。

簡単のため、上述した第6図に示したデータを変換する動作を説明する。 先ず、バスマスタ21から8005Hがライトデータカウンタ23に書き込まれる。次に、シフトレジスタ22が下位ビットから上位ビットの方向へ1ビットシフトすると同時に、ライトデータカウンタ23からのデータ信号により、シフトレジスタ22の最下位ビットに1が書き込まれる。この時、ライトデータカウンタ23及びデータイネーブル発生回路24の内部カウンタがそれぞれ1をカウントする。以上のように、シフトレジスタ22がビットシフトを行って、ライトデータカウンタ23の内部カウンタがこのデータのビット長の値と同数の5回カ

のビット列の組み合わせからなるデータでそのビット列ごとにその値とその長さの情報を有する形に変換された入力データを、変換前の0又は1のビット列の組み合わせからなるデータに再変換することができる。

発明が解決しようとする課題

しかしながら前記従来の構成では、データをレジスタに書き込む際にビット単位の取扱いを行わなくてはならず、動作速度が遅いという問題点を有している。

課題を解決するための手段

本発明は前記課題を解決するため、

複数のビットに同時に書き込みを行うことができるレジスタと、

前記入力データの長さの情報に応じて前記レジスタの第1アドレスを指定する第1アドレス指定手段と、

前記入力データの長さの情報と前記第1アドレスに応じて前記レジスタの第2アドレスを指定する第2アドレス指定手段と、

前記第1アドレスと前記第2アドレスによって前記レジスタの領域を指定し、その領域を書き込み可能な状態にする手段と、

前記入力データの値の情報に応じて前記領域に同時に書き込みを行う書き込み手段とを有する。

#### 作用

本発明は、前記した構成により、

0又は1のビット列の組み合わせからなるデータがそのビット列ごとにその値とその長さの情報を有する形に変換された入力データが、前記ビット列ごとに所定の長さのレジスタを有するレジスタ群に順次書き込まれ、その後、0又は1のビット列の組合せからなり所定の長さを持ったデータとして、適時読み出される。

#### 実施例

第1図は、本発明の一実施例におけるデータ処理装置を使った画像処理装置のブロック図である。尚、この画像処理装置が取り扱う画像データは、白(0で表す)又は黒(1で表す)の2値を持ち、

バスマスタにレジスタ3および4に書き込まれているデータを順次出力するセレクト、9はデータバスである。

第2図において、Aは初期化命令、Bはエンドポイントセット信号、Cは入力データ、Dは入力データに基づいた2値信号、Eはスタートポイント、Fはエンドポイント、Gはスタートポイントセット信号、Hはライト信号の状態をそれぞれ示すものである。

以上のように構成された本実施例の画像処理装置について、以下その動作を説明する。

まず、バスマスタからの命令によってライトスタートポイント6がクリア信号をライト信号発生回路5に出力するとライト信号発生回路5はすべてのライト信号をアクティブにし、レジスタクリア信号によってレジスタ群2のすべてのビットを0に初期化する。次に、バスマスタは最初の画像データである0020Hをデータバス9を通してライトエンドポイント7に書き込み、エンドポイントセット信号をライトエンドポイント7に出力

1本の水平ラインの総ビット数は32ビットであって、第3図に示すように、白17ビット、黒15ビットからなるとする。

第1図において、1はこの回路の内部コントロール信号発生用のクロック発生回路、2は16ビットのレジスタ3および4からなり各ビットに0から31の連続したアドレスを持つレジスタ群、5はスタートポイントセット信号を信号線16に、ライト信号を信号線18に出力するライト信号発生回路、6は内部に加算器を有し、バスマスタからの命令でクリア信号を信号線12に出力し、また、バスマスタから画像データを受け取るとスタートポイントを信号線13に出力するライトスタートポイント、7は内部に加算器を持ちその加算器によって計算されたエンドポイントを信号線14に、バスマスタからの画像データに基づいた2値信号を信号線15に出力するライトエンドポイント、8はレジスタ群2に前記1本の水平ラインの画像データが書き込まれた後、バスマスタの命令によりレジスタ3、および4の順番に指定し、

する。すると、第2図B、FおよびHに示すように、エンドポイントセット信号の立ち上がり同期して、スタートポイントと画像データからエンドポイントがライトエンドポイント7の内部の加算器によって計算され(エンドポイント=スタートポイント+画像データのビット長-1=16)エンドポイントが16に書き換えられ、ライト信号発生回路5が、レジスタ群2の各ビットのうちスタートポイントが指すビット0からエンドポイントが指すビット16までのライト信号をアクティブにする。次に、第2図B、DおよびHに示すように、エンドポイントセット信号の立ち下がり同期して、アクティブになっているライト信号が立ち下がる時、ライトエンドポイント7からの2値信号にしたがって、レジスタ群2の第0ビットから第16ビットまでに0が同時に書き込まれる。0002Hがレジスタ群2に書き込まれた後、ライト信号発生回路5がスタートポイントセット信号をライトスタートポイント5に出力すると、ライトスタートポイント5は内部の加算器に

よって「エンドポイント+1」の計算を行い（この場合は、 $16+1=17$ ）、第2図EおよびGに示すように、スタートポイントセット信号の立ち上がりについて、計算された値を新たなスタートポイントとして出力する。

ライトスタートポイント5に新たなスタートポイントがセットされると、バスマスタはライトエンドポイント7に次の画像データである800FHを出力する。

上述した動作によって、レジスタ群2の第17番目のビットから第32番目のビットに1が書き込まれ、セクタ8がレジスタ3、レジスタ4の順に選択し、バスマスタへ16ビット単位のデータ順次出力される。

以上のように本実施例によれば、白又は黒のビット列の組合せで構成される画像データをそのビット列ごとに同時にレジスタに書き込んでいくために、従来はビット単位で書き込んでいたために費やしていた時間を大幅に短縮できる。

尚、本実施例は、1本の水平ラインの総ビット

数が32ビットで、入力データを書き込むためのレジスタ群が、2本の16ビットレジスタを有するとしたが、1本の水平ラインの総ビット数を16の $n$ 倍（ $n$ は自然数）とした場合も、入力データを書き込むためのレジスタ群が16ビットレジスタを $n$ 本有するとし、そのレジスタ群の各ビットに対するライト信号の数を16の $n$ 倍とし、セクタの機能を $n$ 対1に拡張することで実現できる。

また、本発明は、本実施例のみならず、通信用データの処理時間短縮にも応用できる。

#### 発明の効果

本発明は、複数のビットに同時に書き込みを行うことができるレジスタに、0又は1のビット列ごとに同時に書き込みを行うため、0又は1のビット列の組み合わせからなるデータがそのビット列ごとにその値とその長さの情報を有する形に変換された入力データが、変換される前の0又は1のビット列の組み合わせからなるデータに再変換されるまでの時間を短縮し、データ処理速度を大

きく向上させることができる。

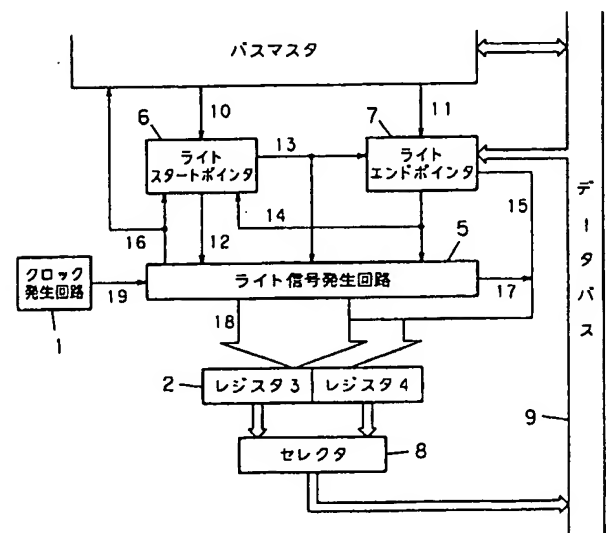
#### 4. 図面の簡単な説明

第1図は本発明の実施例の画像処理装置のブロック図、第2図は本発明の実施例の画像処理装置のタイムチャート、第3図は本発明の実施例の画像処理装置の説明に用いる画像データを示した図、第4図は従来例のデータ処理装置のブロック図、第5図は従来例のデータ処理装置および本発明の実施例の画像処理装置で扱われるデータの形を示した図、第6図は従来例のデータ処理装置の説明に用いるデータを示した図である。

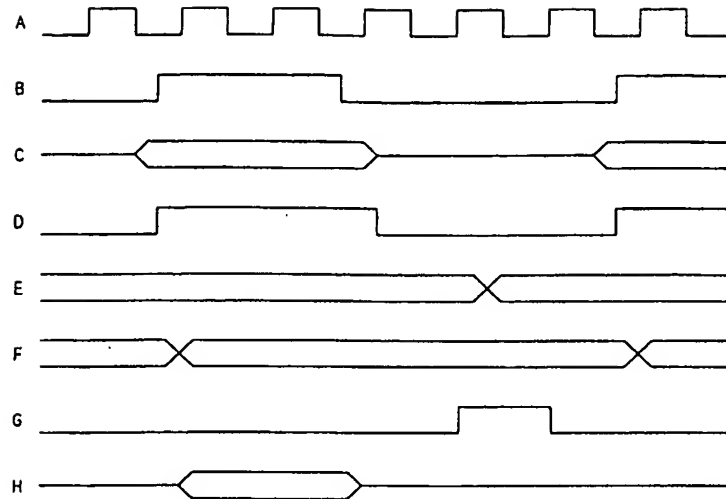
- |               |         |
|---------------|---------|
| 1…クロック発生回路    | 2…レジスタ群 |
| 5…ライト信号発生回路   |         |
| 6…ライトスタートポイント |         |
| 7…ライトエンドポイント  |         |
| 8…セクタ         | 9…データバス |

代理人の氏名 弁理士 栗野重孝 他1名

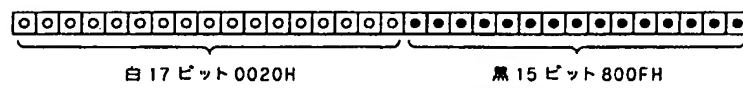
第1図



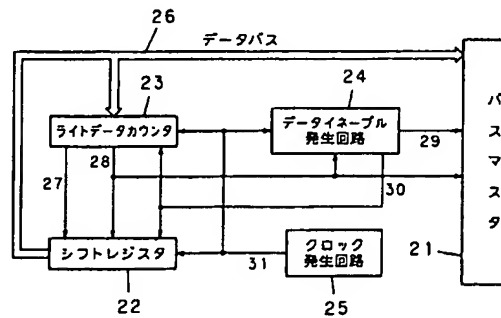
第 2 図



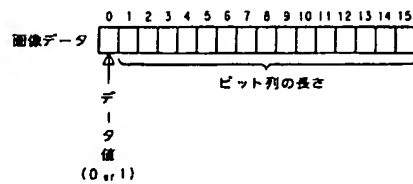
第 3 図



第 4 図



第 5 図



第 6 図

